

**Semiconductor device having a capacitor with an adhesion layer**

Patent Number: ☐ ~~US5418388~~  
Publication date: 1995-05-23  
Inventor(s): OKUDAIRA TOMONORI (JP); KUROIWA TAKEHARU (JP)  
Applicant(s): MITSUBISHI ELECTRIC CORP (JP)  
Requested Patent: ☐ JP7014993  
Application Number: US19940214512 19940318  
Priority Number(s): JP19930147992 19930618  
IPC Classification: H01L29/78  
EC Classification: H01L27/108F2, H01L21/02B3  
Equivalents:

---

**Abstract**

---

In a semiconductor device and a method of manufacturing the same, adhesion between a capacitor dielectric film made of material having a high dielectric constant and an interlayer insulating film located thereunder is improved, and a leak current from a capacitor lower electrode is effectively prevented. In the semiconductor device, an adhesion layer (11) made of TiO<sub>2</sub>, ZrO<sub>2</sub>, Ta<sub>2</sub>O<sub>5</sub>, Si<sub>3</sub>N<sub>4</sub> or Al<sub>2</sub>O<sub>3</sub> is interposed between the interlayer insulating film made of a silicon oxide film and the capacitor dielectric film made of material having a high dielectric constant. The adhesion layer improves adhesion between the interlayer insulating film and the capacitor dielectric film.

---

Data supplied from the esp@cenet database - 12



(51) Int. Cl.

(12) 公開特許公報 (A)

(11) 特許公報公開番号

特開平7-14993

(4) 公開日 平成7年(1995)1月17日

H01L

27/04  
21/04  
27/04

図面 1-1)

片内電圧帯1)

77

特許公報公開日

8832 1M

11012 27/04

C

発明者 大村 隆夫 特許代理人 大村 隆夫 (外 2 名)

(21) 出願番号

特願平6-13777P

(71) 出願人

SHIMADZU

一 株式会社

東京都千代田区丸の内一丁目2番3号

(72) 発明者

大村 隆夫

東京都千代田区丸の内一丁目2番3号 三井物産

株式会社エス・エス・アイ研究所内

(73) 発明者

大村 隆夫

東京都千代田区丸の内一丁目2番3号 三井物産

株式会社エス・エス・アイ研究所内

(74) 代理人

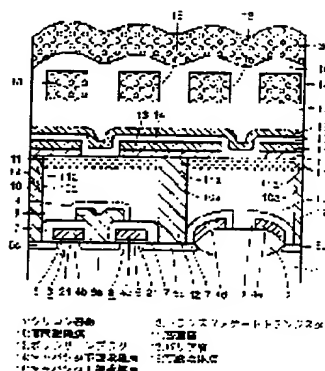
大村 隆夫 (外 2 名)

(54) 発明の名称 半導体装置およびその製造方法

## 【要約】

【目的】 高誘電率材料からなるキャパシタ誘電体膜とその下の層間絶縁膜との密着性を改善するとともに、キャパシタ下部電極からのリーク電流を有効に防止し得る半導体装置およびその製造方法を提供する。

【構成】 シリコン酸化膜からなる層間絶縁膜10と高誘電体膜15との間に、 $TiO_2$ 、 $ZrO_2$ 、 $Ta_2O_5$ 、 $Si_3N_4$ または $Al_2O_3$ からなる密着層11を介在させている。



【特許請求の範囲】

【請求項1】 半導体基板と、

前記半導体基板上に形成され、所定領域に前記半導体基板に達する開口を有する層間絶縁膜と、  
前記開口内で前記半導体基板に電氣的に接触するとともに前記開口内を充填するように形成されたプラグ電極と、

前記プラグ電極および前記層間絶縁膜上に、前記プラグ電極と電氣的に接続するように形成されたキャパシタ下部電極と、  
前記キャパシタ下部電極上と前記層間絶縁膜上に、前記キャパシタ下部電極を覆うように形成された高誘電率材料よりなるキャパシタ誘電体膜と、  
前記キャパシタ誘電体膜上に形成されたキャパシタ上部電極とを備え、  
少なくとも前記層間絶縁膜と前記キャパシタ誘電体膜との間には、少なくとも前記層間絶縁膜と前記キャパシタ誘電体膜とに対して密着性の良い材質からなる密着層が形成されている、半導体装置。

【請求項2】 前記密着層は、前記層間絶縁膜と前記キャパシタ下部電極との間にも延びて形成されている、請求項1記載の半導体装置。

【請求項3】 前記プラグ電極は、少なくとも前記キャパシタ下部電極側の領域に、高融点金属および高融点金属窒化物からなる群より選ばれた少なくとも1つの材料を含む、請求項1に記載の半導体装置。

【請求項4】 半導体基板と、  
前記半導体基板上に形成され、所定領域に前記半導体基板に達する開口を有する層間絶縁膜と、  
前記開口内で前記半導体基板に電氣的に接触するとともに前記開口内を充填するように形成されたプラグ電極と、

前記プラグ電極および前記層間絶縁膜上に、前記プラグ電極と電氣的に接続するように形成されたキャパシタ下部電極と、  
前記キャパシタ下部電極上と前記層間絶縁膜上に、前記キャパシタ下部電極を覆うように形成された高誘電率材料よりなるキャパシタ誘電体膜と、  
前記キャパシタ誘電体膜上に形成されたキャパシタ上部電極と、  
前記層間絶縁膜と前記キャパシタ誘電体膜との間に介在するように形成された第1の密着層と、  
前記層間絶縁膜と前記キャパシタ下部電極との間に介在するように形成された第2の密着層とを備え、  
前記第1の密着層と前記第2の密着層との間には分離層が形成されている、半導体装置。

【請求項5】 前記キャパシタ下部電極の側壁には、前記分離層を埋込むようにサイドウォール絶縁膜が形成されている、請求項4に記載の半導体装置。

【請求項6】 半導体基板上に層間絶縁膜を形成する工

程と、  
前記層間絶縁膜上に絶縁物からなる密着層を形成する工程と、

前記密着層および前記層間絶縁膜の所定領域に前記半導体基板に達する開口を形成する工程と、  
前記開口内を充填するようにプラグ電極を形成する工程と、

前記密着層上の所定領域に前記プラグ電極と電氣的に接続するようにキャパシタ下部電極を形成する工程と、  
前記キャパシタ下部電極上および前記密着層上に前記キャパシタ下部電極を覆うように高誘電率材料よりなるキャパシタ誘電体膜を形成する工程と、  
前記キャパシタ誘電体膜上にキャパシタ上部電極を形成する工程とを備えた、半導体装置の製造方法。

【請求項7】 半導体基板上に、所定領域に前記半導体基板に達する開口を有する層間絶縁膜を形成する工程と、

前記層間絶縁膜上に第1の密着層を形成する工程と、  
前記第1の密着層上にキャパシタ下部電極を形成する工程と、

前記キャパシタ下部電極が形成されない領域の前記層間絶縁膜上に第2の密着層を形成する工程と、

前記キャパシタ下部電極上および前記第2の密着層上に高誘電率材料よりなるキャパシタ誘電体膜を形成する工程と、

前記キャパシタ誘電体膜上にキャパシタ上部電極を形成する工程とを備えた、半導体装置の製造方法。

【請求項8】 半導体基板上に、所定領域に前記半導体基板に達する開口を有する層間絶縁膜を形成する工程と、

前記層間絶縁膜上に第1の密着層を形成する工程と、  
前記第1の密着層上の所定領域にエッチングマスクを形成する工程と、

前記エッチングマスクをマスクとして前記第1の密着層をスパッタエッチングすることによって、前記エッチングマスクが形成されない領域の第1の密着層と前記エッチングマスクが形成される領域の第1の密着層との間に分離層を形成する工程と、

前記エッチングマスクが形成されない領域の第1の密着層を酸化または窒化することによって第2の密着層を形成する工程とを備えた、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体装置およびその製造方法に関し、特に、ダイナミックランダムアクセスメモリ（DRAM）およびその製造方法に関する。

【0002】

【従来の技術】従来、コンピュータなどの情報機器のめざましい普及によって半導体記憶装置の需要は急速に拡大している。そして、機能的には、大規模な記憶容量を

有し、かつ高速動作が可能なものが要求されている。これに対応して、半導体記憶装置の高集積化、高速応答性および高信頼性に関する技術開発が進められている。

【0003】半導体記憶装置のうち、記憶情報のランダムな入出力が可能なものとして、DRAM (Dynamic Random Access Memory) が知られている。一般に、DRAMは、多数の記憶情報を蓄積する記憶領域であるメモリセルアレイと、外部との入出力に必要な周辺回路とから構成されている。

【0004】図71は、一般的なDRAMの構成を示すブロック図である。図71を参照して、DRAM150は、記憶情報のデータを蓄積するためのメモリセルアレイ151と、単位記憶回路を構成するメモリセルを選択するためのアドレス信号を外部から受けるためのロウアンドカラムアドレスバッファ152と、そのアドレス信号を解読することによってメモリセルを指定するためのロウデコーダ153およびカラムデコーダ154と、指定されたメモリセルに蓄積された信号を増幅して読出すためのセンスリフレッシュアンプ155と、データ入出力のためのデータインバッファ156およびデータアウトバッファ157と、クロック信号を発生するためのクロックジェネレータ158とを備えている。

【0005】半導体チップ上で大きな面積を占めるメモリセルアレイ151は、単位記憶情報を蓄積するためのメモリセルがマトリックス状に複数個配列されて形成されている。図72は、メモリセルアレイ151を構成するメモリセルの4ビット分の等価回路図である。図72を参照して、1つのメモリセルは、1個のMOS (Metal Oxide Semiconductor) トランジスタと、これに接続された1個のキャパシタとから構成されている。このようなメモリセルを1トランジスタ1キャパシタ型のメモリセルと呼んでいる。このタイプのメモリセルは、構造が簡単のためメモリセルアレイの集積度を向上させることが容易であり、大容量のDRAMに広く用いられている。

【0006】また、DRAMのメモリセルは、キャパシタの構造によって幾つかのタイプに分けることができる。この中で、スタックタイプキャパシタは、キャパシタの主要部をゲート電極やフィールド分離膜の上部にまで延在させることによりキャパシタの電極間の対向面積を増大させる。これにより、キャパシタの容量を増加させることができる。スタックタイプキャパシタは、このような特徴点を有するので、半導体装置の集積化に伴い素子が微細化された場合にも、キャパシタ容量を確保することができる。この結果、半導体装置の高集積化に伴ってスタックタイプのキャパシタが多く用いられるようになった。

【0007】また、半導体装置の高集積化はさらに進められており、これに対応して、スタックタイプキャパシタの開発も進められている。すなわち、素子がさらに

微細化された場合にも記憶保持に十分なキャパシタ容量を確保するため、ビット線を埋込み構造にするとともに、キャパシタ絶縁膜を誘電率の高い高誘電率材料よりなる誘電体膜（以下「高誘電体膜」という）によって構成するDRAMが従来提案されている。

【0008】図73は、その従来の提案されたDRAMを示した断面構造図である。図73を参照して、その従来のDRAMでは、シリコン基板201の主表面上の所定領域に素子分離のための素子分離酸化膜202が形成されている。その素子分離酸化膜202によって囲まれた領域にチャンネル領域201を挟むように所定の間隔を隔ててソース/ドレイン領域206a、206b、206cおよび6dが形成されている。チャンネル領域201上にはゲート酸化膜205を介してゲート電極（ワード線）204bおよび204cが形成されており、素子分離酸化膜202上には所定の間隔を隔ててワード線（ゲート電極）204dおよび204eが形成されている。

【0009】ゲート電極204b、204c、204dおよび204eを覆うように絶縁膜207が形成されている。また、ソース/ドレイン領域206aに電気的に接続するように埋込みビット線208が形成されている。埋込みビット線208を覆うように絶縁膜209が形成されている。全面を覆うようにその表面が平坦化された層間絶縁膜210が形成されている。層間絶縁膜210の所定領域には、コンタクトホール210aが形成されている。コンタクトホール210a内には、それぞれソース/ドレイン領域206b、206c、206dに電気的に接続するようにポリシリコンプラグ211が形成されている。

【0010】層間絶縁膜210上およびポリシリコンプラグ211上にはポリシリコンプラグ211に電気的に接続するようにTiからなる密着層212が形成されている。密着層212上にはTiNからなるバリア層213が形成されており、バリア層213上にはキャパシタ下部電極を構成する白金層214が形成されている。白金層214上および層間絶縁膜210上には白金層214を覆うようにSrTiO<sub>3</sub>などからなる高誘電体膜215が形成されている。その高誘電体膜215を覆うようにキャパシタ上部電極を構成する白金層216が形成されている。

【0011】白金層216上にはその表面が平坦化された層間絶縁膜217が形成されている。層間絶縁膜217上には所定の間隔を隔ててアルミ配線218が形成されており、アルミ配線218を覆うように保護膜219が形成されている。保護膜219上にはさらにアルミ配線220が形成されている。

【0012】上記した白金層214、高誘電体膜215および白金層216によって、キャパシタ250が形成されている。また、ソース/ドレイン領域206aおよび206cと、ゲート電極204bとによって一方のト

ランスファゲートトランジスタ203が構成されており、ソース/ドレイン領域206aおよび206bとゲート電極204cとによって他方のトランスファゲートトランジスタ203が構成されている。

【0013】また、上記した密着層212は、白金層214と層間絶縁膜210との密着性を改善するために設けられている。バリア層213は、ポリシリコンプラグ211と白金層214とがシリサイド反応を起こすのを防止するために設けられている。

【0014】図74～図82は、図73に示した従来のDRAMの製造プロセスを説明するための断面構造図である。図74～図82を参照して、次に従来のDRAMの製造プロセスについて説明する。

【0015】まず、図74に示すように、シリコン基板201の主表面上の所定領域にLOCOS (Local oxidation Of Silicon) 法を用いてシリコン酸化膜からなる素子分離酸化膜202を形成する。次に、熱酸化法などによりゲート酸化膜205を形成する。そして、リンが多量にドーパされた多結晶シリコンからなるゲート電極(ワード線)204b、204c、204dおよび204eをゲート酸化膜205および素子分離酸化膜202上に選択的に形成する。ゲート電極204b、204c、204dおよび204eを覆う絶縁膜207を形成する。絶縁膜207をマスクとして不純物をイオン注入することによって、ソース/ドレイン領域206a、206b、206cおよび206dを形成する。

【0016】そして、多結晶シリコン層を全面に形成した後所定形状にパターニングすることによって、ソース/ドレイン領域206aに直接コンタクトする埋込みビット線208を形成する。そして、この埋込みビット線208を覆うように絶縁膜209を形成する。この後、全面にCVD法を用いて5000～10000Å程度の厚みを有する層間絶縁膜210を形成する。

【0017】次に、図75に示すように、層間絶縁膜210の表面上の所定領域にレジスト222を形成する。レジスト222をマスクとして層間絶縁膜210を異方性エッチングすることによって、図76に示すようなコンタクトホール210aを形成する。

【0018】次に、図77に示すように、CVD法を用いて、コンタクトホール210aを埋込むように層間絶縁膜210上に所定の厚みでポリシリコン層211aを形成する。このポリシリコン層211aをエッチバックすることによって、図78に示すようなポリシリコンプラグ211を形成する。

【0019】次に、図79に示すように、ポリシリコンプラグ211および層間絶縁膜210上にチタン層212a、TiN層213aおよび白金層214aを順次形成する。白金層214a上の所定領域にレジスト223を形成する。レジスト223をマスクとして白金層21

4a、TiN層213aおよびチタン層212aを異方性エッチングする。これにより、図80に示されるようなチタン層からなる密着層212、TiN層からなるバリア層213およびキャパシタ下部電極を構成する白金層214が形成される。

【0020】次に、図81に示すように、スパッタ法などを用いて、白金層214上および層間絶縁膜210上に白金層214を覆うように高誘電体膜215を形成する。この高誘電体膜215は、SrTiO<sub>3</sub>やPb(Zr, Ti)O<sub>3</sub>などからなる。高誘電体膜215を覆うようにスパッタ法などを用いてキャパシタ上部電極を構成する白金層216を形成する。

【0021】次に、図82に示すように、白金層216を覆うようにCVD法を用いて層間絶縁膜217を形成する。層間絶縁膜217上にワード線204b、204c、204d、204eに対応するように所定の間隔を隔ててアルミ配線218を形成する。

【0022】最後に、図73に示したように、アルミ配線218を覆うようにCVD法を用いてシリコン酸化膜からなる保護膜219を形成する。保護膜219上にアルミ配線220を形成する。このようにして、従来のDRAMは形成されていた。

【0023】**【発明が解決しようとする課題】**図73に示した従来のDRAMでは、Tiからなる密着層212によって層間絶縁膜210とキャパシタ下部電極を構成する白金層214との良好な密着性を得ることができる。

【0024】しかしながら、従来の構造では、高誘電体膜215と層間絶縁膜210とは良好な密着性を得ることができないという問題点があった。このような問題点は、キャパシタ誘電体膜として高い誘電率を有する高融点材料を用いる場合に発生する特有の問題点である。すなわち、キャパシタ誘電体膜として誘電率の低いシリコン酸化膜などを用いる場合にはそのキャパシタ誘電体膜とその下のシリコン酸化膜からなる層間絶縁膜とは密着性が良好であるためキャパシタ誘電体膜の密着性は問題とならない。しかし、キャパシタ誘電体膜として上記のような高誘電体膜を用いる場合には、キャパシタ誘電体膜とその下のシリコン酸化膜からなる層間絶縁膜210との密着性が問題となる。このようにキャパシタ誘電体膜を構成する高誘電体膜215と層間絶縁膜210との密着性が悪いと、高誘電体膜215の剥がれが生じ、キャパシタ全体としての信頼性が低下するという問題点があった。

【0025】また、図73に示した従来の構造では、白金層214と層間絶縁膜210との密着性を改善するために白金層214と層間絶縁膜210との間に密着層212を介在させている。このため、密着層212、バリア層213および白金層214からなる段差部分の段差が大きくなってしまいう問題点があった。

【0026】この発明は、上記のような課題を解決するためになされたもので、高誘電体膜からなるキャパシタ誘電体膜とその下の層間絶縁膜との密着性を改善し得るとともに、キャパシタ下部電極領域の段差部分を軽減することが可能な半導体装置およびその製造方法を提供することを目的とする。

【0027】

【課題を解決するための手段】請求項1における半導体装置は、半導体基板と、その半導体基板上に形成され、所定領域に半導体基板上に達する開口を有する層間絶縁膜と、その開口内で半導体基板上に電氣的に接触するとともに開口内を充填するように形成されたプラグ電極と、プラグ電極および層間絶縁膜上にプラグ電極と電氣的に接続するように形成されたキャパシタ下部電極と、キャパシタ下部電極上と層間絶縁膜上にキャパシタ下部電極を覆うように形成された高誘電率材料からなるキャパシタ誘電体膜と、キャパシタ誘電体膜上に形成されたキャパシタ上部電極とを備えている。そして、少なくとも前記した層間絶縁膜とキャパシタ誘電体膜との間には、少なくとも層間絶縁膜とキャパシタ誘電体膜とに対して密着性の良い材質からなる密着層が形成されている。

【0028】また、好ましくは、上記した密着層は、層間絶縁膜とキャパシタ下部電極との間にも延びるように形成されている。

【0029】さらに、好ましくは、上記したプラグ電極は、少なくともキャパシタ下部電極側の領域に高融点金属および高融点金属窒化物からなる群より選ばれた少なくとも1つの材料を含んでいる。

【0030】請求項4および5における半導体装置は、半導体基板と、半導体基板上に形成され、所定領域に半導体基板上に達する開口を有する層間絶縁膜と、開口内で半導体基板上に電氣的に接触するとともに開口内を充填するように形成されたプラグ電極と、プラグ電極および層間絶縁膜上にプラグ電極と電氣的に接続するように形成されたキャパシタ下部電極と、キャパシタ下部電極上と層間絶縁膜上にキャパシタ下部電極を覆うように形成された高誘電率材料からなるキャパシタ誘電体膜と、キャパシタ誘電体膜上に形成されたキャパシタ上部電極と、層間絶縁膜とキャパシタ誘電体膜との間に介在するように形成された第1の密着層と、層間絶縁膜とキャパシタ下部電極との間に介在するように形成された第2の密着層とを備えている。そして、その第1の密着層と第2の密着層との間には分離層が形成されている。

【0031】また、好ましくは、上記したキャパシタ下部電極の側壁に上記した分離層を埋入するようにサイドウォール絶縁膜が形成されている。

【0032】請求項6における半導体装置の製造方法は、半導体基板上に層間絶縁膜を形成する工程と、その層間絶縁膜上に絶縁物からなる密着層を形成する工程と、密着層および層間絶縁膜の所定領域に半導体基板上

に達する開口を形成する工程と、開口内を充填するようにプラグ電極を形成する工程と、密着層上の所定領域にプラグ電極と電氣的に接続するようにキャパシタ下部電極を形成する工程と、キャパシタ下部電極上および密着層上にキャパシタ下部電極を覆うように高誘電率材料からなるキャパシタ誘電体膜を形成する工程と、キャパシタ誘電体膜上にキャパシタ上部電極を形成する工程とを備えている。

【0033】請求項7における半導体装置の製造方法は、半導体基板上に所定領域に半導体基板上に達する開口を有する層間絶縁膜を形成する工程と、層間絶縁膜上に第1の密着層を形成する工程と、第1の密着層上にキャパシタ下部電極を形成する工程と、キャパシタ下部電極が形成されない領域の前記層間絶縁膜上に第2の密着層を形成する工程と、キャパシタ下部電極上および第2の密着層上に高誘電率材料からなるキャパシタ誘電体膜を形成する工程と、キャパシタ誘電体膜上にキャパシタ上部電極を形成する工程とを備えている。

【0034】請求項8における半導体装置の製造方法は、半導体基板上に所定領域に半導体基板上に達する開口を有する層間絶縁膜を形成する工程と、層間絶縁膜上に第1の密着層を形成する工程と、第1の密着層上の所定領域にエッチングマスクを形成する工程と、そのエッチングマスクをマスクとして第1の密着層をスパッタエッチングすることによって、エッチングマスクが形成されない領域の第1の密着層とエッチングマスクが形成される領域の第1の密着層との間に分離層を形成する工程と、エッチングマスクが形成されない領域の第1の密着層を酸化または窒化することによって第2の密着層を形成する工程とを備えている。

【0035】

【作用】請求項1～3に係る半導体装置では、少なくとも高誘電率材料からなるキャパシタ誘電体膜と層間絶縁膜との間に少なくともキャパシタ誘電体膜と層間絶縁膜とに対して密着性の良い材質からなる密着層が形成されているので、キャパシタ誘電体膜と層間絶縁膜との良好な密着性が得られる。また、密着層を層間絶縁膜とキャパシタ下部電極との間にも延びて形成するようにすれば、同時にキャパシタ下部電極と層間絶縁膜との良好な密着性も得られる。これにより、従来キャパシタ下部電極と層間絶縁膜との密着性のために設けられていた金属層からなる密着層を省略することも可能となる。さらに、上記したプラグ電極を少なくともそのキャパシタ下部電極側の領域に高融点金属および高融点金属窒化物からなる群より選ばれた少なくとも1つの材料を含むように構成すれば、プラグ電極がバリア層としての機能をも果たすことができる。これにより、従来プラグ電極との別個に設けられていたバリア層を省略することが可能となる。

【0036】請求項4および5に係る半導体装置では、

層間絶縁膜とキャパシタ誘電体膜との間に介在するように形成された第1の密着層と層間絶縁膜とキャパシタ下部電極との間に介在するように形成された第2の密着層との間に分離溝が形成されているので、キャパシタ下部電極に蓄積された電荷が第2の密着層および第1の密着層を介して隣接するキャパシタのキャパシタ下部電極にリークするのが有効に防止される。また、上記したキャパシタ下部電極の側壁上に上記した分離溝を埋込むようにサイドウォールを形成するようにすれば、キャパシタ下部電極からのリーク電流がより有効に低減される。なお、この半導体装置においても、第1の密着層によって層間絶縁膜とキャパシタ誘電体膜との密着性が改善される。

【0037】請求項6に係る半導体装置では、層間絶縁膜上に絶縁物からなる密着層が形成され、その密着層上およびキャパシタ下部電極上にキャパシタ下部電極を覆うように高誘電率材料からなるキャパシタ誘電体膜が形成されるので、キャパシタ誘電体膜と層間絶縁膜との間の良好な密着性が得られる。

【0038】請求項7に係る半導体装置の製造方法では、層間絶縁膜上に第1の密着層が形成され、その第1の密着層上にキャパシタ下部電極が形成され、そのキャパシタ下部電極が形成されない領域の層間絶縁膜上に第2の密着層が形成され、その第2の密着層およびキャパシタ下部電極上に高誘電率材料からなるキャパシタ誘電体膜が形成されるので、層間絶縁膜とキャパシタ誘電体膜との両方に対して密着性の良い第2の密着層によってキャパシタ誘電体膜と層間絶縁膜との間で良好な密着性が得られる。これと同時に、第1の密着層によってキャパシタ下部電極と層間絶縁膜との良好な密着性が得られる。

【0039】請求項8に係る半導体装置の製造方法では、層間絶縁膜上に第1の密着層が形成され、その第1の密着層上の所定領域にエッチングマスクが形成され、そのエッチングマスクをマスクとして第1の密着層がスパッタエッチングされることによってエッチングマスクが形成されない領域の第1の密着層とエッチングマスクが形成される領域の第1の密着層との間に分離溝が形成され、エッチングマスクが形成されない領域の第1の密着層を酸化または窒化することによって第2の密着層が形成されるので、キャパシタ下部電極と層間絶縁膜との密着層になる第1の密着層と、キャパシタ誘電体膜と層間絶縁膜との密着層となる第2の密着層とが分離された状態で形成される。これにより、キャパシタ下部電極に蓄積された電荷が第1の密着層および第2の密着層を介して隣接するキャパシタにリークするのが有効に防止される。

【0040】

【実施例】以下、本発明の実施例を図面に基いて説明する。

【0041】図1は、本発明の第1実施例によるDRAMを示した断面構造図である。図1を参照して、この第1実施例のDRAMでは、シリコン基板1の主表面上の所定領域に素子分離のための素子分離酸化膜2が形成されている。素子分離酸化膜2によって囲まれた領域にチャネル領域21を挟むように所定の間隔を隔ててソース/ドレイン領域6a、6b、6cおよび6dが形成されている。また、チャネル領域21上にはゲート酸化膜5を介してゲート電極（ワード線）4bおよび4cが形成されている。素子分離酸化膜2上には所定の間隔を隔ててワード線（ゲート電極）4dおよび4eが形成されている。ソース/ドレイン領域6aおよび6cとゲート電極4bとによって一方のトランスファゲートトランジスタ3が構成されており、ソース/ドレイン領域6aおよび6bとゲート電極4cとによって他方のトランスファゲートトランジスタ3が構成されている。

【0042】また、ゲート電極4b、4c、4dおよび4eを覆うようにシリコン酸化膜からなる絶縁膜7が形成されている。ソース/ドレイン領域6aに電氣的に接続するように埋込みビット線8が形成されている。埋込みビット線8を覆うようにシリコン酸化膜からなる絶縁膜9が形成されている。

【0043】全面を覆うようにその表面が平坦化された層間絶縁膜10が形成されている。この層間絶縁膜10は、シリコン酸化膜からなり、5000～15000Å程度の厚みを有している。層間絶縁膜10上には密着層11が形成されている。この密着層11は、TiO<sub>2</sub>、ZrO<sub>2</sub>、Ta<sub>2</sub>O<sub>5</sub>、Si<sub>3</sub>N<sub>4</sub>、Al<sub>2</sub>O<sub>3</sub>などからなり、50～5000Å程度の厚みを有している。

【0044】層間絶縁膜10および密着層11には、ソース/ドレイン領域6b、6c、6dにまで達するコンタクトホール10aおよび11aが形成されている。そしてそのコンタクトホール10a、11a内を充填するようにポリシリコンプラグ12が形成されている。

【0045】密着層11およびポリシリコンプラグ12上にはポリシリコンプラグ12に電氣的に接続するように、TiN、WN、Taなどからなり、50～2000Å程度の厚みを有するバリア層13が形成されている。バリア層13上には白金または白金チタン合金からなり、250～1500Å程度の厚みを有するキャパシタ下部電極層14が形成されている。キャパシタ下部電極層14および密着層11上にはキャパシタ下部電極層14を覆うように高誘電体膜15が形成されている。この高誘電体膜は、SrTiO<sub>3</sub>、(Ba, Sr)TiO<sub>3</sub>、Pb(Zr, Ti)O<sub>3</sub>、(Pb, La)(Zr, Ti)O<sub>3</sub>などからなり、500～1500Å程度の厚みを有している。高誘電体膜上には白金、アルミニウム、窒化チタン、タンガステンまたはモリブデンなどからなり、1000～2000Å程度の厚みを有するキャパシタ上部電極層16が形成されている。



【0046】キャパシタ上部電極層16上にはその表面が平坦化された層間絶縁膜17が形成されている。層間絶縁膜17上にはゲート電極4b、4c、4d、4eに対応するように所定の間隔を隔ててアルミ酸線18が形成されている。アルミ酸線18を覆うように保護膜19が形成されており、その保護膜19上にはアルミ酸線20が形成されている。

【0047】ここで、この第1実施例では、上記したように層間絶縁膜10上に全面に密着層11を形成する。これにより、層間絶縁膜10と高誘電体膜15との間で良好な密着性を得ることができる。この結果、従来のように高誘電体膜15が層間絶縁膜10から剥離するのが有効に防止され、キャパシタの機械的強度および信頼性を向上させることができる。

【0048】また、密着層11はキャパシタ下部電極層14の下方にも形成されているので、同時にバリア層13と層間絶縁膜10との良好な密着性も得ることができる。これにより、図73に示した従来のように層間絶縁膜とキャパシタ下部電極層下のバリア層との間に金属層からなる密着層を設ける必要がない。この結果、図73に示した従来の構造に比べてキャパシタ下部電極領域の段差部分を軽減することができる。これにより、後工程でのカバレッジ特性を改善することができ、製造プロセスの容易化を図ることができる。

【0049】図2～図10は、図1に示した第1実施例のDRAMの製造プロセスを説明するための断面構造図である。図2～図10を参照して、次に第1実施例のDRAMの製造プロセスについて説明する。

【0050】まず、図2に示すように、シリコン基板1の主表面上の所定領域にLOCOS法を用いてシリコン酸化膜からなる素子分離酸化膜2を形成する。そして、素子分離酸化膜2によって囲まれた活性領域の所定領域にゲート酸化膜5を介してゲート電極4bおよび4cを形成する。また、素子分離酸化膜2上に所定の間隔を隔ててワード線（ゲート電極）4dおよび4eを形成する。ゲート電極4b、4c、4dおよび4eを覆うようにシリコン酸化膜からなる絶縁膜7を形成する。絶縁膜7をマスクとしてシリコン基板1に不純物をイオン注入することによって、ソース／ドレイン領域6a、6b、6cおよび6dを形成する。

【0051】この後、ソース／ドレイン領域6aに直接コンタクトする埋込みビット線8を形成する。埋込みビット線8を覆うようにシリコン酸化膜からなる絶縁膜9を形成する。

【0052】全面を覆うようにCVD法を用いて500～15000Å程度の厚みを有するシリコン酸化膜からなる層間絶縁膜10を形成する。層間絶縁膜10上にCVD法またはスパッタ法を用いて、TiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、Ta<sub>2</sub>O<sub>5</sub>、ZrO<sub>2</sub>またはSi<sub>3</sub>N<sub>4</sub>などの絶縁膜からなる密着層11を50～5000Å程度の厚

みで形成する。この密着層11の形成温度としては、室温～800℃の範囲内で行なう。

【0053】次に、図3に示すように、密着層11上の所定領域にレジスト22を形成する。レジスト22をマスクとして密着層11および層間絶縁膜10を異方性エッチングする。これにより、図4に示すような、ソース／ドレイン領域6b、6cおよび6dにまで達するコンタクトホール10aおよび11aを形成する。この後、レジスト22を除去する。

【0054】次に、図5に示すように、コンタクトホール10aおよび11aを充填するとともに全面を覆うドーフトポリシリコン層12aを2000～12000Å程度の厚みで形成する。このドーフトポリシリコン層12aはCVD法を用いて600～700℃の温度条件下で形成する。なお、ドーフトポリシリコン層12aの代わりにドーフトアモルファスシリコン層を用いてもよい。その場合には、CVD法を用いて450～550℃の温度条件下で形成する。この後、ドーフトポリシリコン層12aの全面をエッチバックする。これにより、図6に示すようなポリシリコンプラグ12が形成される。

【0055】次に、図7に示すように、全面にバリア層となる窒化チタン層または窒化タングステン層13aを形成する。この窒化チタン層または窒化タングステン層は、スパッタ法を用いて50～2000Å程度の厚みで形成する。この窒化チタン層または窒化タングステン層13aの形成は、室温～800℃の温度条件下で行なう。窒化チタン層（窒化タングステン層）13a上にスパッタ法を用いて250～1500Å程度の厚みを有する白金層14aを形成する。白金層14a上の所定領域にフォトリソグラフィ法を用いてレジスト23を形成する。レジスト23をマスクとして白金層14a、窒化チタン層（窒化タングステン層）13aをドライエッチングする。これにより、図8に示されるような窒化チタン層（窒化タングステン層）からなるバリア層13と、白金層からなるキャパシタ下部電極14とが形成される。

【0056】次に、図9に示すように、キャパシタ下部電極14上および密着層11上にキャパシタ下部電極14を覆うようにSrTiO<sub>3</sub>、(Ba, Sr)TiO<sub>3</sub>、Pb(Zr, Ti)O<sub>3</sub>または(Pb, La)(Zr, Ti)O<sub>3</sub>からなる高誘電体膜16を形成する。この高誘電体膜16はCVD法またはスパッタ法を用いて300～800℃の温度条件下で形成する。この後、スパッタ法を用いて高誘電体膜15上に白金、窒化チタン、アルミニウム、タングステンまたはモリブデンからなる1000～2000Å程度の厚みを有するキャパシタ上部電極層16を形成する。

【0057】次に、図10に示すように、キャパシタ上部電極層16を覆うようにCVD法を用いて層間絶縁膜17を形成する。そしてその層間絶縁膜17上にゲート電極4b、4c、4d、4eに対応するように所定の間

隔を隔ててアルミ配線18を形成する。

【0058】最後に、図1に示したように、アルミ配線18を覆うように保護膜19を形成した後、その保護膜19上にアルミ配線20を形成する。このようにして、第1実施例のDRAMが完成される。

【0059】図11は、本発明の第2実施例によるDRAMを示した断面構造図である。図11を参照して、この第2実施例では、図1に示した第1実施例と異なり、プラグ電極をTiN/Ti層25とタングステンプラグ26とによって構成する。

【0060】図12～図13は、図11に示したタングステンプラグ26およびTiN/Ti層25の形成プロセスを説明するための断面構造図である。図12および図13を参照して、次に第2実施例のプラグ部分の形成プロセスを説明する。

【0061】まず、図12に示すように、スパッタ法を用いて、コンタクトホール10aおよび11aの側表面および密着層11の上表面にTiN(350～3000Å)/Ti(50～300Å)層25aを形成する。その後、CVD法を用いて、300～900℃の温度条件下で、2000～12000Å程度の厚みを有するタングステン層26aを形成する。そして、全面をドライエッチング法を用いてエッチバックすることによって、図13に示すようなTiN/Ti層25およびタングステンプラグ26からなるプラグ電極26が形成される。なお、タングステンプラグ26の代わりに、白金またはモリブデンを用いてもよい。

【0062】図14は、本発明の第3実施例によるDRAMを示した断面構造図である。図14を参照して、この第3実施例のDRAMでは、上記した第1および第2実施例と異なり、プラグ電極をTiN/Ti層31およびタングステンプラグ32からなるコンタクトプラグ34と、TiNからなるバリアプラグ33とによって構成している。この第3実施例では、このようにプラグ電極の一部としてバリアプラグ33を用いることによって、第1および第2実施例で必要とされていたバリア層13が不要になる。この結果、キャパシタ下部電極層14の領域における段差をより有効に軽減することができる。

【0063】図15～図20は、図14に示した第3実施例のDRAMの製造プロセスを説明するための断面構造図である。図15～図20を参照して、次に第3実施例の製造プロセスについて説明する。

【0064】まず、図2～図4に示した第1実施例の製造プロセスと同様の製造プロセスを用いて、コンタクトホール10aおよび11aまでを形成する。その後、図15に示すように、スパッタ法を用いて、コンタクトホール10aおよび11aの側表面上と密着層11の上表面上とにTiN/Ti層31aを形成する。Tiの厚みは50～300Å程度の厚みで形成し、TiNの厚みは350～3000Å程度に形成する。この後、CVD法

を用いて300～900℃の温度条件下で、2000～12000Å程度の厚みを有するタングステン層32aを形成する。そして、全面をドライエッチング法を用いてエッチバックすることによって、図16に示すようなTiN/Ti層31およびタングステンプラグ32からなるコンタクトプラグ34を形成する。このコンタクトプラグ34は、50～10000Å程度の厚みを有するように形成する。

【0065】次に、図17に示すように、CVD法を用いて350～800℃の温度条件下で、全面に2000～12000Å程度の厚みを有するTiN層33aを形成する。そして、全面をエッチバックすることによって、図18に示されるようなTiNからなるバリアプラグ33を形成する。

【0066】次に、図19に示すように、スパッタ法を用いて室温～800℃の温度条件下で、250～1500Å程度の厚みを有する白金層14aを形成する。白金層14a上の所定領域にフォトリソグラフィ法を用いてレジスト35を形成する。レジスト35を用いて白金層14aをドライエッチングすることによって白金層14aをパターンニングする。これにより、図20に示すような白金層からなるキャパシタ下部電極層14が得られる。キャパシタ下部電極層14上および密着層11上にスパッタ法またはCVD法を用いて300～800℃の温度条件下で高誘電体膜15を形成する。高誘電体膜15上にスパッタ法を用いて白金、窒化チタン、アルミニウム、タングステンまたはモリブデンからなるキャパシタ上部電極層を1000～2000Å程度の厚みで形成する。

【0067】最後に、図14に示したように、層間絶縁膜17、アルミ配線18、保護膜19およびアルミ配線20を形成する。これにより、第3実施例のDRAMが完成される。

【0068】図21は、本発明の第4実施例によるDRAMを示した断面構造図である。図21を参照して、この第4実施例では、プラグ電極をTiNからなるバリアプラグ41のみによって形成する。これにより、図14に示した第3実施例に比べてバリアプラグ41の長さが長くなり、バリア機能を増大させることができる。この結果、白金層からなるキャパシタ下部電極層14とシリコン基板1との間でシリサイド化反応が起こるのをより有効に防止することができる。

【0069】図22および図23は、図21に示した第4実施例のDRAMのバリアプラグ41の形成プロセスを説明するための断面構造図である。図22および図23を参照して、第4実施例のバリアプラグ41は次のようにして形成する。

【0070】すなわち、まず、図22に示すように、CVD法を用いて、350～800℃の温度条件下で、2000～12000Å程度の厚みを有するTiN層41

aを形成する。そして、TiN層41aをエッチバックすることによって、図23に示したようなTiNからなるバリアプラグ41を形成する。このようにして、第4実施例のバリアプラグ41が形成される。図24は、本発明の第5実施例によるDRAMを示した断面構造図である。図24を参照して、この第5実施例は、図14に示した第3実施例の構造にTi、Zr、AlまたはTaからなる密着層51を追加した構造を有する。このような密着層51は、密着層11が高誘電体膜15とは密着性が良いがキャパシタ下部電極層14とは密着性が悪い材料からなる場合に有効である。すなわち、この第5実施例では、層間絶縁膜10と高誘電体膜15との密着性は密着層11によって改善し、層間絶縁膜10とキャパシタ下部電極層14との密着性は密着層11および51によって改善する。

【0071】図25および図26は図24に示した第5実施例の密着層51の形成プロセスを説明するための断面構造図である。図25および図26を参照して、密着層51は次のようにして形成される。

【0072】まず、図25に示すように、密着層11上およびバリアプラグ33上にスパッタ法を用いて、Ti、Al、ZrまたはTaからなる密着層51aを50～2000Å程度の厚みで形成する。密着層51a上にスパッタ法を用いて、250～1500Å程度の厚みを有する白金層14aを形成する。白金層14a上の所定領域にフォトリソグラフィ法を用いてレジスト52を形成する。レジスト52をマスクとして白金層14aおよび密着層51aをドライエッチングする。これにより、図26に示すようなパターニングされた白金層からなるキャパシタ下部電極層14と密着層51が得られる。このようにして、第5実施例の密着層51が形成される。

【0073】図27は、本発明の第6実施例によるDRAMを示した断面構造図である。図27を参照して、この第6実施例では、図24に示した第5実施例と異なり、プラグ電極部分をバリアプラグ41のみによって構成している。その他の構造は図24に示した第5実施例の構造と同様である。この第6実施例ではバリアプラグ41のみによってプラグ電極部分を構成しているため、図24に示した第5実施例に比べてバリアプラグ41の長さが長くなる。このため、第5実施例に比べてバリアプラグ41のバリア機能が大きくなる。この結果、白金層からなるキャパシタ下部電極層14とシリコン基板1との間でシリサイド化反応が起こるのがより有効に防止される。また、第5実施例に比べて、プラグ電極部分を形成する製造プロセスが容易になるという効果もある。すなわち、この第6実施例では、第5実施例で必要なTiN/Ti層31およびタングステンプラグ32からなるコンタクトプラグ34の形成プロセスが不要になる。このため、製造プロセスを簡略化することができる。

【0074】図28は、本発明の第7実施例によるDRAMを示した断面構造図である。図28を参照して、この第7実施例によるDRAMでは、上記した第1～第6実施例と異なり、層間絶縁膜10上の一部の絶縁物(TiO<sub>2</sub>、ZrO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、Ta<sub>2</sub>O<sub>5</sub>またはSi<sub>3</sub>N<sub>4</sub>)からなる密着層61bが形成されている。すなわち、密着層61bは、高誘電体膜15と層間絶縁膜10とが接する部分にのみ介在して形成されている。そして、キャパシタ下部電極層14と層間絶縁膜10との間にはTi、Al、Zr、TaまたはSiからなる密着層61aが形成されている。密着層61a上にはTiNからなるバリア層13を介して白金などからなるキャパシタ下部電極層14が形成されている。キャパシタ下部電極層14および密着層61b上にはキャパシタ下部電極層14を覆うように高誘電体膜15が形成されている。そしてその高誘電体膜15上には白金などからなるキャパシタ上部電極層16が形成されている。なおこの第7実施例では、プラグ電極は、TiN/Ti層25およびタングステンプラグ26によって構成されている。

【0075】ここで、この第7実施例では、密着層61bによって高誘電体膜15とシリコン酸化膜からなる層間絶縁膜10との良好な密着性を得ることができる。また、密着層61aによって、キャパシタ下部電極層14と層間絶縁膜10との良好な密着性を得ることもできる。なお、プラグ電極として、ポリシリコンプラグを用いても同様の効果を得ることができる。

【0076】図29～図32は、図28に示した第7実施例の製造プロセスの一例を説明するための断面構造図である。図29～図32を参照して、次に第7実施例のDRAMの製造プロセスの一例について説明する。

【0077】まず、図29に示すように、前述した各実施例と同様の製造プロセスを用いて、TiN/Ti層25およびタングステンプラグ26までを形成する。すなわち、ゲート電極4b～4e、埋込みビット線8などを形成した後、全面に8000～15000Å程度の厚みを有するシリコン酸化膜からなる層間絶縁膜10をCVD法を用いて形成する。このCVD法による層間絶縁膜10の形成温度は、400～900℃程度である。その後、フォトリソグラフィ技術とドライエッチング技術とを用いて、層間絶縁膜10にコンタクトホール10aを形成する。コンタクトホール10a内に、図12および図13で示した第2実施例の製造プロセスと同様の製造プロセスを用いて、TiN/Ti層25およびタングステンプラグ26を形成する。

【0078】そして、層間絶縁膜11、TiN/Ti層25およびタングステンプラグ26上にスパッタ法を用いて、Ti、Al、Zr、Ta、またはSiからなる密着層61aを形成する。この密着層61aは30～300Å程度の厚みで、室温～800℃の温度条件下で形成する。次に、密着層61a上にスパッタ法を用いて室温～800℃の温度条件下で50～2000Å程度の厚み

を有するTiN層13aを形成する。このTiN層13aの代わりにWN層を用いてもよい。

【0079】そのTiN層13a上にスパッタ法を用いて室温～800℃の温度条件下で250～1500Å程度の厚みを有する白金層14aを形成する。白金層14a上の所定領域にフォトリソグラフィ法を用いてレジスト62を形成する。レジスト62をマスクとして、白金層14aおよびTiN層13aの2層のみを異方性エッチングする。これにより、図30に示されるようなパターンニングされたキャパシタ下部電極層14およびバリア層13が形成される。

【0080】次に、キャパシタ下部電極層14をマスクとして、Tiからなる密着層61aを200～800℃の温度条件下で酸化する。これにより、図31に示されるような、TiO<sub>2</sub>からなる密着層61bが形成される。なお、密着層61aとしてAl、ZrまたはTaを用いる場合には、同じ酸化条件下で酸化することによって、それぞれの材料の酸化物からなる密着層61bが得られる。また、密着層61aとしてSiを用いる場合には、600～1000℃の温度条件下で窒化することによって、Si<sub>3</sub>N<sub>4</sub>からなる密着層61bが形成される。つまり、この製造プロセスでは、密着層61bは、密着層61aの酸化物または窒化物からなる。

【0081】次に、図32に示すように、スパッタ法またはCVD法を用いて、300～800℃の温度条件下で、500～1500Åの膜厚を有する(Ba、Sr)TiO<sub>3</sub>からなる高誘電体膜15を形成する。高誘電体膜15の他の材料としては、SrTiO<sub>3</sub>、Pb(Zr, Ti)O<sub>3</sub>、(Pb, La)(Zr, Ti)O<sub>3</sub>、BaTiO<sub>3</sub>、(Pb, Ba)(Zr, Ti)O<sub>3</sub>、(Pb, Sr)(Zr, Ti)O<sub>3</sub>などを用いてもよい。この後、高誘電体膜15上にスパッタ法を用いて1000～2000Å程度の厚みを有する白金層からなるキャパシタ上部電極16を形成する。キャパシタ上部電極16として、他にTiN、Al、WまたはMoを用いてもよい。

【0082】最後に、図28に示したように、キャパシタ上部電極層16上に層間絶縁膜17を形成する。そしてその層間絶縁膜17上にゲート電極4b、4c、4dおよび4eに対応するように所定の間隔を隔ててアルミ酸線18を形成する。アルミ酸線18上に保護膜19を形成した後、その保護膜19上にアルミ酸線20を形成する。このようにして、第7実施例のDRAMが完成される。

【0083】図33および図34は図28に示した第7実施例の製造プロセスの他の例を説明するための断面構造図である。図33および図34を参照して、この製造プロセスの他の例では、図29に示した工程においてレジスト62をマスクとして白金層14a、TiN層13aおよび密着層61aのすべてをドライエッチングす

る。その後、図33に示すように、全面を覆うようにCVD法またはスパッタ法を用いて、TiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、ZrO<sub>2</sub>、Ta<sub>2</sub>O<sub>5</sub>またはSi<sub>3</sub>N<sub>4</sub>からなる密着層61cを形成する。この密着層61cは、室温～870℃の温度条件下で、300～6000Å程度の厚みで形成する。この後、その密着層61cをエッチバックすることによって、図34に示されるような密着層61bを形成する。このようにして密着層61bを形成してもよい。

【0084】図35は、本発明の第8実施例によるDRAMを示した断面構造図である。図35を参照して、この第8実施例では、上記した第7実施例と異なり、プラグ電極をTiN/Ti層31およびタングステンプラグ32からなるコンタクトプラグ34とTiNからなるバリアプラグ33とによって構成している。このようにプラグ電極の一部としてバリアプラグ33を用いることによって、図28に示した第7実施例のバリア層33が不要になる。このため、この第7実施例では、キャパシタ下部電極層14の領域の段差部分を第7実施例に比べて軽減することができる。この第8実施例のその他の構造および特徴点は第7実施例と同様である。

【0085】図36は、本発明の第9実施例によるDRAMを示した断面構造図である。図36を参照して、この第9実施例では、プラグ電極をTiNからなるバリアプラグ41のみによって構成している。これにより、第8実施例と同様キャパシタ下部電極層14下のバリア層13（図28参照）が不要になる。この結果、キャパシタ下部電極層14の領域の段差を軽減することができる。また、この第9実施例では、プラグ電極のすべてをバリアプラグ41によって形成しているため、第8実施例のバリアプラグ33（図35参照）に比べてバリアプラグ41の長さが長くなる。これにより、バリアプラグ41によるバリア機能がより増大する。この結果、白金層からなるキャパシタ下部電極層14とシリコン基板1とがシリサイド化反応を起こすのをより有効に防止することができる。

【0086】図37は、本発明の第10実施例によるDRAMを示した断面構造図である。図37を参照して、この第10実施例では、シリコン酸化膜からなる層間絶縁膜10と高誘電体膜15との間に、TiO<sub>2</sub>、ZrO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、Ta<sub>2</sub>O<sub>5</sub>またはSi<sub>3</sub>N<sub>4</sub>からなる密着層72が形成されている。また、白金層からなるキャパシタ下部電極層14と層間絶縁膜10との間には、Ti、Al、Zr、TaまたはSiからなる密着層71が形成されている。そして、密着層71と密着層72との間に位置する層間絶縁膜10には分離層73が設けられている。さらに、キャパシタ下部電極層14、バリア層17および密着層71の側壁には、分離層73を埋込むようにシリコン酸化膜からなるサイドウォール酸化膜74が形成されている。

【0087】この第10実施例では、分離溝73を形成することによって、密着層71と密着層72とを完全に分離することができる。これにより、キャパシタ下部電極層14に蓄積された電荷が密着層71および密着層72を介して隣接するキャパシタにリークするのを有効に防止することができる。すなわち、密着層72は、後述するように、密着層71を酸化または窒化することによって形成する。ところが、密着層72が完全に酸化または窒化されない場合があり、そのような場合には密着層72が完全な絶縁物にはならない。その場合に密着層71と密着層72とが連続して形成されているとキャパシタ下部電極層14に蓄積された電荷が密着層71および72を介して隣接するキャパシタにリークする恐れがある。

【0088】本実施例ではこのような点を考慮して、密着層71と密着層72との間に分離溝73を形成している。これにより、密着層71と密着層72とを完全に分離することができ、キャパシタ下部電極層14から電荷がリークするのを有効に防止することができる。さらに本実施例では、分離溝73を充填するようにシリコン酸化膜からなるサイドウォール酸化膜74を形成することによって、密着層71と密着層72とのより完全な分離を行なうことができる。

【0089】なお、この第10実施例においても、上記した第1～第9実施例と同様に、密着層72によって高誘電体膜15と層間絶縁膜10との良好な密着性を得ることができる。また、密着層71によってキャパシタ下部電極層14と層間絶縁膜10との間の良好な密着性を得ることができる。

【0090】図38～図43は、図37に示した第10実施例のDRAMの製造プロセスを説明するための断面構造図である。図38～図43を参照して、次に第10実施例のDRAMの製造プロセスについて説明する。

【0091】まず、図38に示すように、図29で示した第7実施例の製造プロセスと同様のプロセスを用いて、層間絶縁膜10、TiN/Ti層25およびタングステンプラグ26上に密着層となるチタン層71a、バリア層となるTiN層14aおよびキャパシタ下部電極層となる白金層15aを形成する。ここで、チタン層71aは50～500Å程度の厚み、TiN層14aは50～500Å程度の厚み、白金層15aは250～1500Å程度の厚みで形成する。また、チタン層71a、TiN層14aおよび白金層15aは、スパッタ法を用いて室温～800℃の温度条件下で形成する。この後、白金層15a上の所定領域にフォトリソグラフィ技術を用いてレジスト75を形成する。

【0092】次に、レジスト75をマスクとして、Arなどの不活性ガスを用いてスパッタエッチングを行なう。これにより、図39に示したような構造が得られる。すなわち、Arなどの不活性ガスを用いてスパッタ

エッチングを行なうと、レジスト75横の部分のエッチング速度がそれ以外の部分のエッチング速度の2～4倍程度と速くなる。これらは、たとえば、1985 DR Y PROCESS SYMPOSIUM IV-4「ETCHED SHAPE CONTROL OF SINGLE CRYSTALLINE CHLORINE」pp102-107に開示されている。したがって、図39に示すようにレジスト75を用いて不活性ガスによるスパッタエッチングを行なうと、Ti層71bおよびTiN層14bを残させた状態でレジスト75の横の部分にのみ分離溝73を形成することができる。具体的には、平行平板型RIE装置を用いて、0.2m Torrの圧力条件下で300Wの消費電力、300Å/minのエッチレートで7～8分間、Arガスによるスパッタエッチングを行なうことによって、層間絶縁膜10の上表面からの深さが1000Åでその幅が2000Å程度の分離溝73を形成することが出来る。

【0093】なお、このスパッタエッチングの際にTiN層14bを除去してTi層71bのみを残させるようにしてもよい。また、上記したスパッタエッチングによって、白金層からなるキャパシタ下部電極層15、TiNからなるバリア層14およびTiからなる密着層71が形成される。この後、レジスト75を除去する。レジスト75を除去した後、白金層からなるキャパシタ下部電極層15をマスクとしてTiN層14bおよびTi層71bを350～700℃の温度条件下で10～60分程度O<sub>2</sub>雰囲気中で酸化する。これにより、図40に示したようなTiO<sub>2</sub>からなる密着層72が形成される。

【0094】次に、図41に示すように、CVD法を用いて400～900℃の温度条件下で全面に500～5000Å程度の厚みを有するシリコン酸化膜74aを形成する。そして、シリコン酸化膜74aを全面異方性エッチングすることによって、図42に示されるようなサイドウォール酸化膜74が形成される。このサイドウォール酸化膜74は、密着層71、バリア層13およびキャパシタ下部電極層14の側壁部分に分離溝73を埋込むように形成される。これにより、密着層71と密着層72との分離をより完全に行なうことができる。

【0095】次に、図43に示すように、スパッタ法またはCVD法を用いて(Ba, Sr)TiO<sub>3</sub>などからなる高誘電体膜15を300～1500Å程度の厚みで形成する。なお、高誘電体膜15は、300～800℃の温度条件下で形成する。高誘電体膜15上に300～800℃の温度条件下で白金層からなるキャパシタ上部電極層16を300～1500Å程度の厚みで形成する。

【0096】キャパシタ上部電極層16をパターニング（図示せず）した後、最後に、図37に示したように、CVD法を用いてシリコン酸化膜からなる層間絶縁膜1

7を形成する。この層間絶縁膜17は、室温～450℃の温度条件下で5000～15000Å程度の厚みになるように形成する。そして、層間絶縁膜17上にゲート電極4b、4c、4d、4eに対応するように所定の間隔を隔ててアルミ酸線18を形成する。アルミ酸線18を覆うように保護膜19を形成した後、保護膜19上にアルミ酸線20を形成する。このようにして、第10実施例のDRAMが完成される。

【0097】図44は、本発明の第11実施例によるDRAMを示した断面構造図である。図44を参照して、この第11実施例では、図37に示した第10実施例の構造にさらに高誘電体膜15の拡散を防止するためのSi3N4からなる拡散防止層76を設けている。すなわち、高誘電体膜15に含まれるBaやSrは密着層72および層間絶縁膜10を介して下方のトランジスタトランジスタ3に拡散していく恐れがある。このように高誘電体膜15に含まれるBaやSrなどのアルカリ金属が下方のトランジスタトランジスタ3に侵入すると、トランジスタ特性に悪影響を及ぼすという不都合が生じる。この第11実施例ではこのような点を考慮して、高誘電体膜15に接触して形成される密着層72と層間絶縁膜10との間にSi3N4からなる拡散防止層76を形成している。このように構成することによってこの第11実施例では、高誘電体膜15内のBaやSrなどのアルカリ金属が下方のトランジスタに拡散するのを有効に防止することができる。なお、拡散防止層76としては他にTiO2、ZrO2、Al2O3、Ta2O5などを用いることができる。

【0098】図45～図47は、図44に示した第11実施例の製造プロセスを説明するための断面構造図である。図45～図47を参照して、次に第11実施例の製造プロセスについて説明する。

【0099】まず、図45に示すように、シリコン基板1上に素子分離酸化膜2、ゲート電極4b～4e、および埋込みビット線8などを形成した後、CVD法を用いてシリコン酸化膜からなる層間絶縁膜10を5000～15000Å程度の厚みで形成する。そして、その層間絶縁膜10上にCVD法を用いてSi3N4からなる拡散防止層76を300～5000Å程度の厚みで形成する。そして、拡散防止層76および層間絶縁膜10にコンタクトホール76aおよび10aを形成する。そして、図12および図13に示した第2実施例の製造プロセスと同様のプロセスを用いて、TiN/Ti層25およびタングステンプラグ26を形成する。

【0100】次に、図46に示すように、Ti層71a、TiN層14aおよび白金層15aをスパッタ法を用いて形成した後、白金層15a上の所定領域にレジスト75を形成する。レジスト75をマスクとしてArなどの不活性ガスを用いてスパッタエッチングを行なうことによって、図47に示されるような分離溝73を形成

する。この後レジスト75を除去し、キャパシタ下部電極層15をマスクとしてTiN層14bおよびTi層71bを酸化処理する。これにより、図44に示したようなTiO2からなる密着層72を形成する。その後、高誘電体膜15およびキャパシタ上部電極層16を形成した後、そのキャパシタ上部電極層16上に層間絶縁膜17を形成する。そして層間絶縁膜17上に所定の間隔を隔ててアルミ酸線18を形成する。アルミ酸線18上に保護膜19を形成した後、アルミ酸線20を形成する。このようにして、第11実施例のDRAMが完成される。

【0101】図48は、本発明の第12実施例によるDRAMを示した断面構造図である。図48を参照して、この第12実施例では、上記した第11実施例と同様に、層間絶縁膜10上にSi3N4からなる拡散防止層77aおよび77bを形成している。ただし、この第12実施例では、第11実施例と異なり、密着層72下に位置する拡散防止層77bと密着層71下に位置する拡散防止層77aとが分離溝73によって完全に分離された構造になっている。このように構成することによって、上記した第11実施例と同様の効果を得ることができる。すなわち、誘電体膜15と接する密着層72と層間絶縁膜10との間に拡散防止層77bが介在して形成されているので、誘電体膜15中のアルカリ金属が密着層72を介して下方のトランジスタに侵入するのを有効に防止することができる。

【0102】図49～図51は、図48に示した第12実施例のDRAMの製造プロセスを説明するための断面構造図である。図49～図51を参照して、次に第12実施例のDRAMの製造プロセスについて説明する。

【0103】まず、図49に示すように、図45において説明した製造プロセスと同様の製造プロセスを用いて、5000～15000Å程度の厚みを有するシリコン酸化膜からなる層間絶縁膜10と150～2500Å程度の厚みを有するSi3N4からなる拡散防止層77とを形成する。そして、拡散防止層77および層間絶縁膜10にコンタクトホールを形成した後、そのコンタクトホール内にTiN/Ti層25およびタングステンプラグ26を形成する。

【0104】次に、図50に示すように、拡散防止層77、TiN/Ti層25およびタングステンプラグ26上にスパッタ法を用いて、Ti層71a、TiN層14aおよび白金層15aを形成する。白金層15a上の所定領域にフォトリソグラフィ技術を用いてレジスト78を形成する。

【0105】レジスト78をマスクとしてArなどの不活性ガスを用いてスパッタエッチングを行なうことによって、図51に示されるような構造が得られる。すなわち、パターニングされたキャパシタ下部電極層15、バリア層14および密着層71が得られるとともに、拡散

防止層77aと77bとを完全に分離する分離溝73が形成される。そして、レジスト78を除去した後、白金層からなるキャパシタ下部電極層15をマスクとしてTiN層14bおよびTi層71bを酸化する。これにより、図48に示したようなTiO<sub>2</sub>からなる密着層72を形成することができる。その後、高誘電体膜15、キャパシタ上部電極層16、層間絶縁膜17を形成する。そして、層間絶縁膜17上にアルミ酸線18、保護膜19およびアルミ酸線20を形成する。これにより、第12実施例のDRAMが完成される。

【0106】図52は、本発明の第13実施例によるDRAMを示した断面構造図である。図52を参照して、この第13実施例は、図37に示した第10実施例の変形例である。すなわち、この第13実施例では、第10実施例と異なり、プラグ電極をTiNからなるバリアプラグ41のみによって形成している。これにより、第11実施例(図37参照)のバリア層13が不要となり、第10実施例に比べてキャパシタ下部電極層14の領域の段差を軽減することができる。なお、この第13実施例においても、上記した第10実施例と同様、TiO<sub>2</sub>からなる密着層81bとTiからなる密着層81aとが分離溝83によって完全に分離されている。そして、その分離溝83を埋込むようにシリコン酸化膜からなるサイドウォール酸化膜84を設けている。これにより、密着層81aと密着層81bとを完全に分離することができる。この結果、キャパシタ下部電極層14に蓄積された電荷が密着層81aおよび密着層81bを介して隣接するキャパシタにリークするのを有効に防止することができる。

【0107】図53～図57は、図52に示した第13実施例のDRAMの製造プロセスを説明するための断面構造図である。図53～図57を参照して、次に第13実施例の製造プロセスについて説明する。

【0108】まず、図53に示すように、シリコン基板1上に素子分離酸化膜2、ゲート電極4b～4e、埋込みビット線などを形成した後、CVD法を用いて5000～15000Å程度の厚みを有するシリコン酸化膜からなる層間絶縁膜10を形成する。層間絶縁膜10の所定領域にコンタクトホール10aを形成した後、そのコンタクトホール10aを充填するようにTiNからなるバリアプラグ41を形成する。層間絶縁膜10およびバリアプラグ41上にスパッタ法を用いて50～500Å程度の厚みを有するTiからなる密着層81aを形成する。密着層81a上にスパッタ法を用いて250～1500Å程度の厚みを有する白金層14aを形成する。白金層14a上の所定領域にフォトリソグラフィ法を用いてレジスト85を形成する。そしてレジスト85をマスクとしてArなどの不活性ガスを用いてスパッタエッチングすることによって、図54に示されるような形状が得られる。すなわち、レジスト85横に分離溝83が

形成されるとともに、その他の部分にはTi層81aが残された形状になる。その後、レジスト85を除去する。そして、白金層からなるキャパシタ下部電極層14をマスクとして350～700℃の温度条件下で10～60分間酸素雰囲気中で酸化を行なう。これにより、図55に示されるようなTiO<sub>2</sub>からなる密着層81bを形成することができる。

【0109】次に、図56に示すように、CVD法を用いて、400～900℃の温度条件下で、500～5000Å程度の厚みを有するシリコン酸化膜84aを形成する。そしてそのシリコン酸化膜84aを全面異方性エッチングすることによって、図57に示されるようなサイドウォール酸化膜84を形成する。このサイドウォール酸化膜84は、密着層81aおよびキャパシタ下部電極層14の側壁部分に分離溝83を埋込むようにして形成される。このようにして、完全に分離されたTiからなる密着層81aとTiO<sub>2</sub>からなる密着層81bとを形成することができる。

【0110】最後に、図52に示したように、高誘電体膜15、キャパシタ上部電極層16、層間絶縁膜17、アルミ酸線18、保護膜19およびアルミ酸線20を形成する。これにより、第13実施例のDRAMが完成される。

【0111】図58は、本発明の第14実施例によるDRAMを示した断面構造図である。図58を参照して、この第14実施例は、図52に示した第13実施例のDRAMのプラグ電極部分の変形例である。すなわち、この第14実施例では、プラグ電極をTiN/Ti層31およびタングステンプラグ32からなるコンタクトプラグ34とTiNからなるバリアプラグ33とによって構成している。このように構成しても、図52に示した第13実施例と同様の効果を得ることができる。

【0112】図59は、本発明の第15実施例によるDRAMを示した断面構造図である。図59を参照して、この第15実施例は、図21に示した第4実施例の構造にさらに分離溝93およびサイドウォール酸化膜94を追加した構造である。すなわち、この第15実施例では、シリコン酸化膜からなる層間絶縁膜10上に、TiO<sub>2</sub>、ZrO<sub>2</sub>、Ar<sub>2</sub>O<sub>3</sub>、Ta<sub>2</sub>O<sub>5</sub>またはSi<sub>3</sub>N<sub>4</sub>からなる密着層91を形成し、その密着層91に分離溝93を形成している。そして、キャパシタ下部電極層14の側壁上に分離溝93を埋込むようにサイドウォール酸化膜94を形成している。ここで、この第15実施例では、密着層91がCVD法によって形成される完全な絶縁膜であるため、分離溝93が密着層91を完全に分離する必要はない。ただし、このように分離溝93を形成することによって、隣接するキャパシタ下部電極層14間に位置する密着層91の表面の距離が長くなる。これにより、キャパシタ下部電極層14に蓄積された電荷が密着層91の表面を通過して隣接するキャパシタ



にリークするのを有効に防止することができる。

【0113】図60～図63は、図59に示した第15実施例のDRAMの製造プロセスを説明するための断面構造図である。図60～図63を参照して、次に第15実施例の製造プロセスについて説明する。

【0114】まず、図60に示すように、図22および図23で示した第4実施例の製造プロセスと同様のプロセスを用いて、300～5000Å程度の厚みを有する密着層91とバリアプラグ41とを形成する。その後、スパッタ法を用いて250～1500Å程度の厚みを有する白金層14aを形成する。白金層14a上の所定領域にフォトリソグラフィ技術を用いてレジスト95を形成する。レジスト95をマスクとして、Arによるスパッタエッチングを行なうことによって、図61に示されるような分離溝93が得られる。なお、この分離溝93の深さが密着層91を完全に分離する深さになるまでスパッタエッチングを行なってもよい。その後、レジスト95を除去する。

【0115】次に、図62に示すように、CVD法を用いて、400～900℃の温度条件下で500～5000Å程度の厚みを有するシリコン酸化膜94aを形成する。このシリコン酸化膜94aを全面異方性エッチングすることによって、図63に示されるようなサイドウォール酸化膜94を形成する。

【0116】最後に、図59に示したように高誘電体膜15、キャパシタ上部電極層16、層間絶縁膜17、アルミ配線18、保護膜19およびアルミ配線20を形成する。これにより、第15実施例のDRAMが完成される。

【0117】図64は、本発明の第16実施例によるDRAMを示した断面構造図である。図64を参照して、この第16実施例は、図59に示した第15実施例のDRAMのプラグ電極部分の変形例である。すなわち、この第16実施例では、プラグ電極をTiN/Ti層31およびタングステンプラグ32からなるコンタクトプラグ34とTiNからなるバリアプラグ33とによって構成している。このように構成しても、第15実施例と同様の効果を得ることができる。

【0118】図65は、本発明の第17実施例によるDRAMを示した断面構造図である。図65を参照して、この第17実施例では、上記した第15実施例および第16実施例と異なり、プラグ電極部分にバリアプラグが形成されていない。したがって、第15実施例および第16実施例と異なり、TiNからなるバリア層13が必要となる。また、この第17実施例では、密着層101と高誘電体膜15との間にさらにTiO<sub>2</sub>からなる密着層102が介在されている。そしてその密着層102を完全に分離するように分離溝103が形成されている。また分離溝103を埋込むようにシリコン酸化膜からなるサイドウォール酸化膜104が形成されている。

【0119】ここで、この第17実施例では、密着層102が製造プロセス上完全な絶縁膜にならない場合があるため、密着層102とバリア層13とが分離溝103によって完全に分離されている必要がある。その一方、密着層101はCVD法によって形成される完全な絶縁膜であるため、分離溝103によって完全に分離されている必要はない。本実施例では、このように構成することによって、キャパシタ下部電極層14に蓄積された電荷がバリア層13、密着層101および102を介して隣接するキャパシタにリークするのを有効に防止することができる。

【0120】また、この第17実施例では、密着層102および101によって高誘電体膜15とシリコン酸化膜からなる層間絶縁膜10との密着性を改善している。また、密着層101によってキャパシタ下部電極層14と層間絶縁膜10との密着性を改善している。

【0121】図66～図70は、図65に示した第17実施例のDRAMの製造プロセスを説明するための断面構造図である。図66～図70を参照して、次に第17実施例のDRAMの製造プロセスについて説明する。

【0122】まず、図66に示すように、図12および図13に示した第2実施例のDRAMの製造プロセスと同様のプロセスを用いて、300～5000Å程度の厚みを有するTiO<sub>2</sub>などからなる密着層101、TiN/Ti層25およびタングステンプラグ26を形成する。そして、スパッタ法を用いて、室温～800℃の温度条件下で50～500Å程度の厚みを有するTiN層13aを形成する。TiN層13a上にスパッタ法を用いて室温～800℃の温度条件下で250～1500Å程度の厚みを有する白金層14aを形成する。白金層14a上の所定領域にフォトリソグラフィ技術を用いてレジスト105を形成する。

【0123】レジスト105をマスクとしてArなどの不活性ガスによるスパッタエッチングを行なうことによって、図67に示されるような形状が得られる。すなわち、不活性ガスによるスパッタエッチングによって、分離溝103およびその分離溝103間に残余するTiN層13aが得られる。その後、レジスト105を除去する。

【0124】次に、図68に示すように、白金層からなるキャパシタ下部電極層14をマスクとして350～700℃の温度条件下で10～60分間酸素雰囲気中でTiN層13a（図67参照）を酸化することによって、TiO<sub>2</sub>からなる密着層102が形成される。

【0125】次に、図69に示すように、CVD法を用いて、400～900℃の温度条件下で500～5000Å程度の厚みでシリコン酸化膜104aを形成する。そして、シリコン酸化膜104aを全面異方性エッチングすることによって、図70に示されるようなサイドウォール酸化膜104を形成する。



【0126】最後に、図65に示したように、高誘電体膜15、キャパシタ上部電極16、層間絶縁膜17、アルミ配線18、保護膜19およびアルミ配線20を形成する。これにより、第17実施例のDRAMが完成される。

【0127】

【発明の効果】請求項1～3に係る半導体装置によれば、少なくとも層間絶縁膜とキャパシタ誘電体膜との間に少なくとも層間絶縁膜とキャパシタ誘電体膜とに対して密着性の良い材質からなる密着層を形成することによって、層間絶縁膜とキャパシタ誘電体膜との間の良好な密着性を得ることができる。これにより、従来のようにキャパシタ誘電体膜が層間絶縁膜から剥離してキャパシタの信頼性が低下するという不都合も生じない。また、上記した密着層を層間絶縁膜とキャパシタ下部電極との間にも延びるように形成すれば、キャパシタ下部電極と層間絶縁膜との密着性をも同時に改善することができる。さらに、上記したプラグ電極をその少なくともキャパシタ下部電極側の領域に高融点金属窒化物を含むように構成すれば、従来キャパシタ下部電極下に必要とされていたバリア層が不要になる。これにより、キャパシタ下部電極領域の段差部分を従来に比べて軽減することができる。

【0128】請求項4および5に係る半導体装置によれば、層間絶縁膜とキャパシタ誘電体膜との間に介在するように形成された第1の密着層と、層間絶縁膜とキャパシタ下部電極との間に介在するように形成された第2の密着層との間に分離層を形成することによって、キャパシタ下部電極に蓄積された電荷が第1の密着層および第2の密着層を介して隣接するキャパシタにリークするのを有効に防止することができる。また、第1の密着層によってキャパシタ誘電体膜と層間絶縁膜との良好な密着性を得ることができるとともに、第2の密着層によってキャパシタ下部電極と層間絶縁膜との良好な密着を得ることができる。また、キャパシタ下部電極の側壁上に上記した分離層を埋込むようにサイドウォール絶縁膜を形成すれば、第1の密着層と第2の密着層との分離をより完全に行なうことができる。

【0129】請求項6に係る半導体装置の製造方法によれば、層間絶縁膜上に絶縁物からなる密着層を形成し、その密着層上およびキャパシタ下部電極上にキャパシタ下部電極を覆うように高誘電率材料からなるキャパシタ誘電体膜を形成することによって、キャパシタ誘電体膜と層間絶縁膜との良好な密着性を得ることができる。

【0130】請求項7に係る半導体装置の製造方法によれば、層間絶縁膜上に第1の密着層を形成し、その第1の密着層上にキャパシタ下部電極を形成し、キャパシタ下部電極が形成されない領域の層間絶縁膜上に第2の密着層を形成し、その第2の密着層およびキャパシタ下部電極上に高誘電率材料からなるキャパシタ誘電体膜を形

成することによって、第2の密着層によりキャパシタ誘電体膜と層間絶縁膜との密着性を改善することができる。とともに第1の密着層によってキャパシタ下部電極と層間絶縁膜との密着性を改善することができる。

【0131】請求項8に係る半導体装置の製造方法によれば、層間絶縁膜上に第1の密着層を形成し、その第1の密着層上の所定領域にエッチングマスクを形成し、そのエッチングマスクをマスクとして第1の密着層を不活性ガスによってスパッタエッチングすることによってエッチングマスクが形成されない領域の第1の密着層とエッチングマスクが形成される領域の第1の密着層との間に分離層を形成し、さらにエッチングマスクが形成されない領域の第1の密着層を酸化または窒化するすることによって第2の密着層を形成することにより、分離層によって第1の密着層と第2の密着層とが完全に分離された半導体装置を容易に製造することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例によるDRAMを示した断面構造図である。

【図2】図1に示した第1実施例のDRAMの製造プロセスの第1工程を説明するための断面構造図である。

【図3】図1に示した第1実施例のDRAMの製造プロセスの第2工程を説明するための断面構造図である。

【図4】図1に示した第1実施例のDRAMの製造プロセスの第3工程を説明するための断面構造図である。

【図5】図1に示した第1実施例のDRAMの製造プロセスの第4工程を説明するための断面構造図である。

【図6】図1に示した第1実施例のDRAMの製造プロセスの第5工程を説明するための断面構造図である。

【図7】図1に示した第1実施例のDRAMの製造プロセスの第6工程を説明するための断面構造図である。

【図8】図1に示した第1実施例のDRAMの製造プロセスの第7工程を説明するための断面構造図である。

【図9】図1に示した第1実施例のDRAMの製造プロセスの第8工程を説明するための断面構造図である。

【図10】図1に示した第1実施例のDRAMの製造プロセスの第9工程を説明するための断面構造図である。

【図11】本発明の第2実施例によるDRAMを示した断面構造図である。

【図12】図11に示した第2実施例のDRAMの製造プロセスの第1工程を説明するための断面構造図である。

【図13】図11に示した第2実施例のDRAMの製造プロセスの第2工程を説明するための断面構造図である。

【図14】本発明の第3実施例によるDRAMを示した断面構造図である。

【図15】図14に示した第3実施例のDRAMの製造プロセスの第1工程を説明するための断面構造図である。



た断面構造図である。

【図53】図52に示した第13実施例のDRAMの製造プロセスの第1工程を説明するための断面構造図である。

【図54】図52に示した第13実施例のDRAMの製造プロセスの第2工程を説明するための断面構造図である。

【図55】図52に示した第13実施例のDRAMの製造プロセスの第3工程を説明するための断面構造図である。

【図56】図52に示した第13実施例のDRAMの製造プロセスの第4工程を説明するための断面構造図である。

【図57】図52に示した第13実施例のDRAMの製造プロセスの第5工程を説明するための断面構造図である。

【図58】本発明の第14実施例によるDRAMを示した断面構造図である。

【図59】本発明の第15実施例によるDRAMを示した断面構造図である。

【図60】図59に示した第15実施例のDRAMの製造プロセスの第1工程を説明するための断面構造図である。

【図61】図59に示した第15実施例のDRAMの製造プロセスの第2工程を説明するための断面構造図である。

【図62】図59に示した第15実施例のDRAMの製造プロセスの第3工程を説明するための断面構造図である。

【図63】図59に示した第15実施例のDRAMの製造プロセスの第4工程を説明するための断面構造図である。

【図64】本発明の第16実施例によるDRAMを示した断面構造図である。

【図65】本発明の第17実施例によるDRAMを示した断面構造図である。

【図66】図65に示した第17実施例のDRAMの製造プロセスの第1工程を説明するための断面構造図である。

【図67】図65に示した第17実施例のDRAMの製造プロセスの第2工程を説明するための断面構造図である。

【図68】図65に示した第17実施例のDRAMの製

造プロセスの第3工程を説明するための断面構造図である。

【図69】図65に示した第17実施例のDRAMの製造プロセスの第4工程を説明するための断面構造図である。

【図70】図65に示した第17実施例のDRAMの製造プロセスの第5工程を説明するための断面構造図である。

【図71】従来の一般的なDRAMの構成を示したブロック図である。

【図72】図71に示したメモリセルアレイの4ビット分の等価回路図である。

【図73】従来のDRAMを示した断面構造図である。

【図74】図73に示した従来のDRAMの製造プロセスの第1工程を説明するための断面構造図である。

【図75】図73に示した従来のDRAMの製造プロセスの第2工程を説明するための断面構造図である。

【図76】図73に示した従来のDRAMの製造プロセスの第3工程を説明するための断面構造図である。

【図77】図73に示した従来のDRAMの製造プロセスの第4工程を説明するための断面構造図である。

【図78】図73に示した従来のDRAMの製造プロセスの第5工程を説明するための断面構造図である。

【図79】図73に示した従来のDRAMの製造プロセスの第6工程を説明するための断面構造図である。

【図80】図73に示した従来のDRAMの製造プロセスの第7工程を説明するための断面構造図である。

【図81】図73に示した従来のDRAMの製造プロセスの第8工程を説明するための断面構造図である。

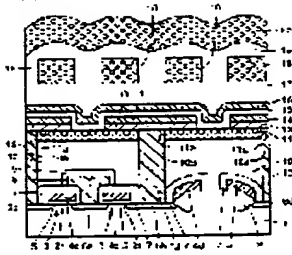
【図82】図73に示した従来のDRAMの製造プロセスの第9工程を説明するための断面構造図である。

【符号の説明】

- 1：シリコン基板
- 3：トランスファゲートトランジスタ
- 10：層間絶縁膜
- 11：密着層
- 12：ポリシリコンプラグ
- 13：バリア層
- 14：キャパシタ下部電極層
- 15：高誘電体膜
- 16：キャパシタ上部電極層

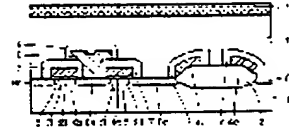
なお、各図中、同一符号は同一または相当部分を示す。

【図1】

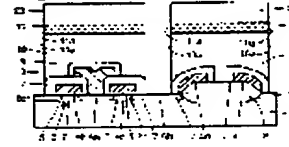


1: 10mmφ穴  
2: 10mmφ穴  
3: 10mmφ穴  
4: 10mmφ穴  
5: 10mmφ穴  
6: 10mmφ穴  
7: 10mmφ穴  
8: 10mmφ穴  
9: 10mmφ穴  
10: 10mmφ穴  
11: 10mmφ穴  
12: 10mmφ穴  
13: 10mmφ穴  
14: 10mmφ穴  
15: 10mmφ穴  
16: 10mmφ穴  
17: 10mmφ穴  
18: 10mmφ穴

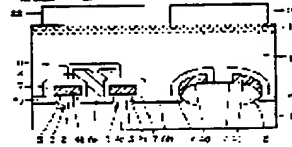
【図2】



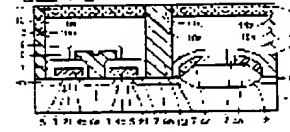
【図4】



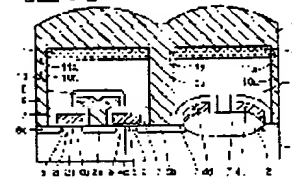
【図3】



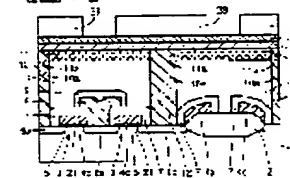
【図6】



【図5】

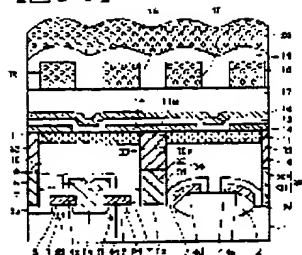


【図7】

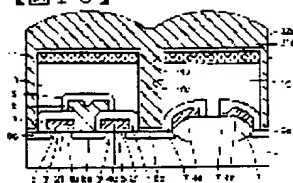




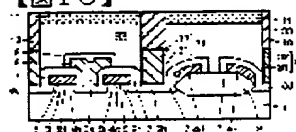
【图14】



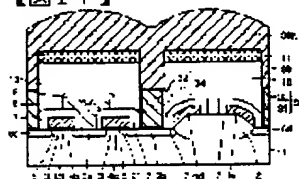
【图15】



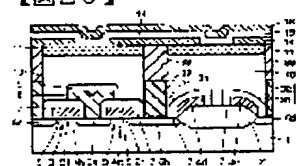
【图18】



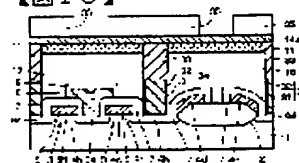
【图17】



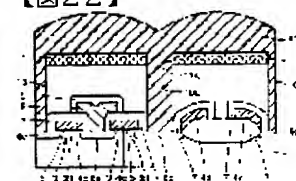
【图20】



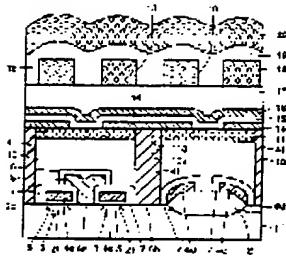
【图19】



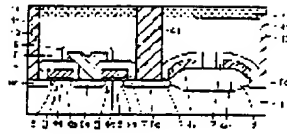
【图22】



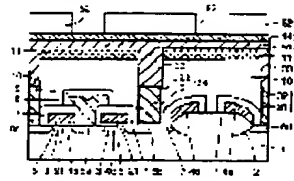
【圖21】



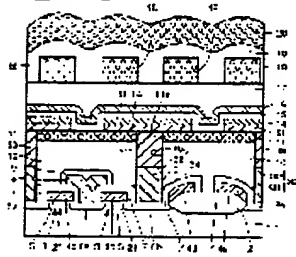
【例23】



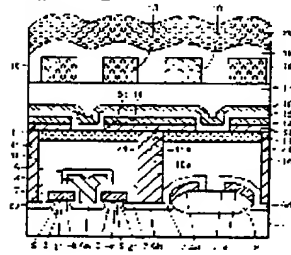
【图25】



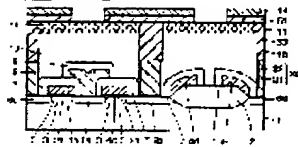
【図24】



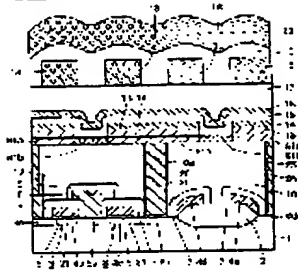
【图27】



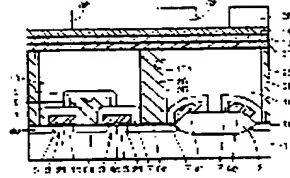
【图26】



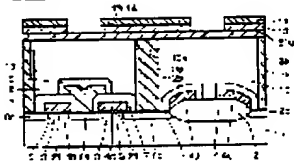
【図28】



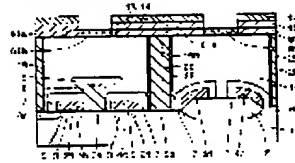
【図29】



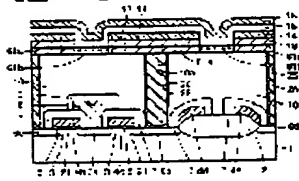
【図30】



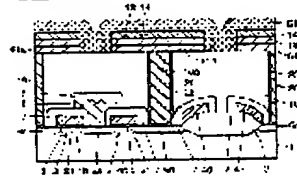
【図31】



【図32】

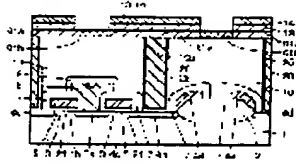


【図33】

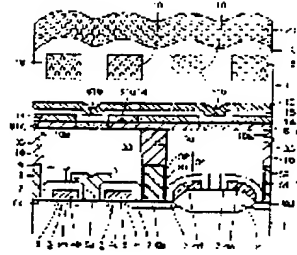




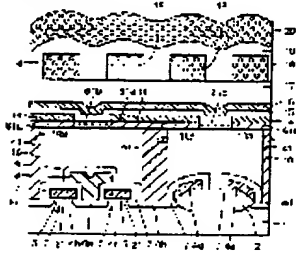
【图34】



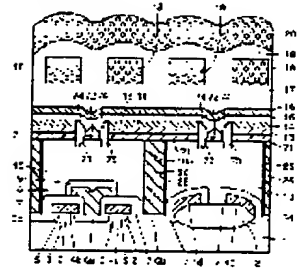
【图35】



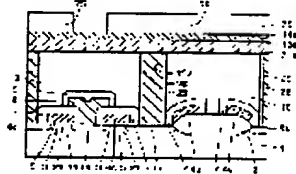
【图36】



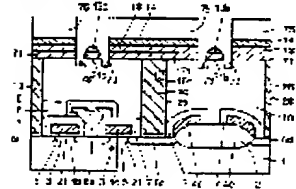
【图37】



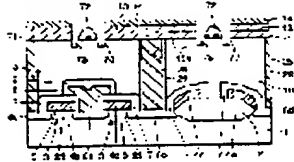
【图38】



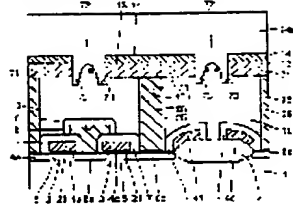
【图39】



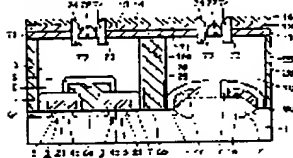
【図40】



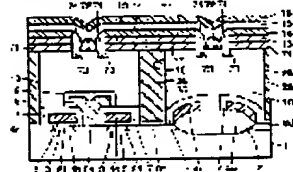
【図41】



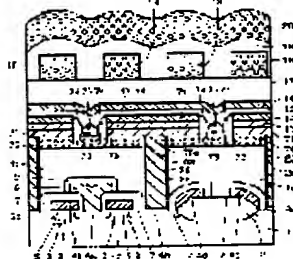
【図42】



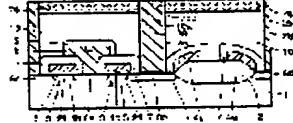
【図43】



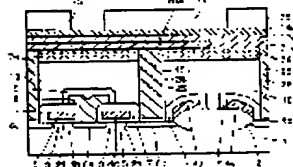
【図44】



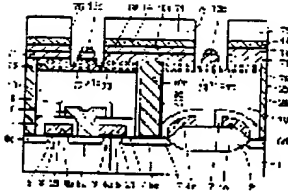
【図45】



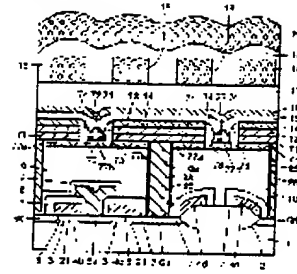
【図46】



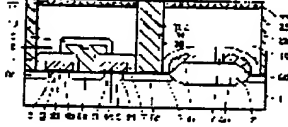
【図47】



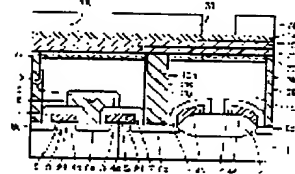
【図48】



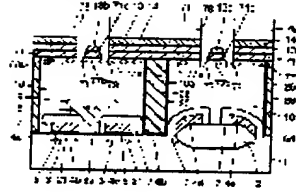
【図49】



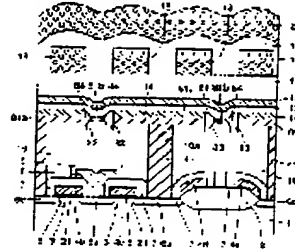
【図50】



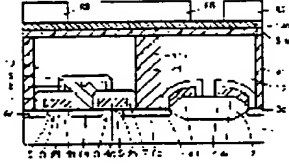
【図51】



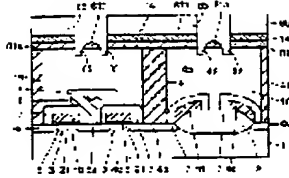
【図52】



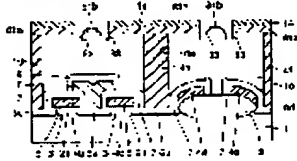
【图53】



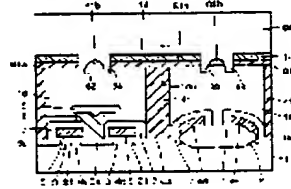
【图54】



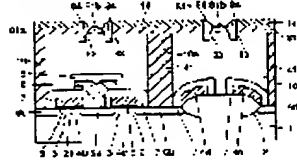
【图55】



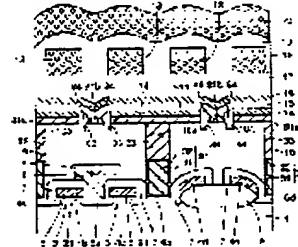
【图56】



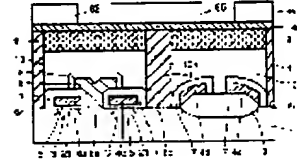
【图57】



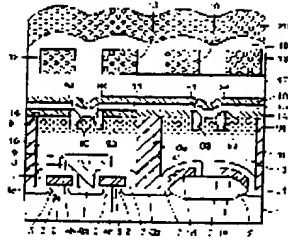
【图58】



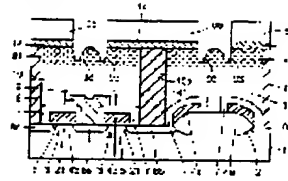
【图60】



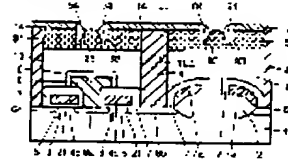
【图59】



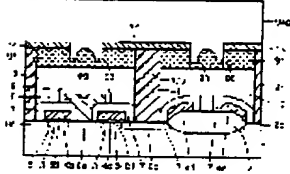
【图61】



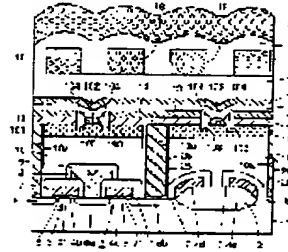
【图63】



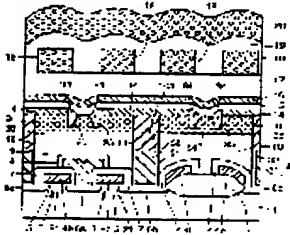
【图62】



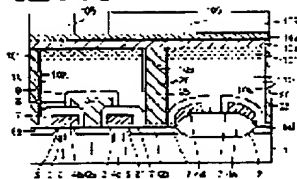
【图65】



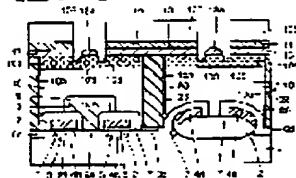
【图64】



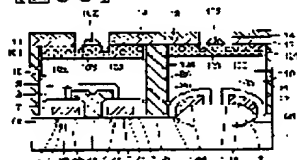
【图66】



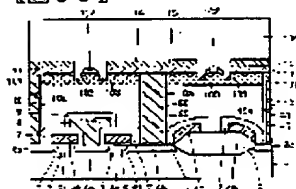
【图67】



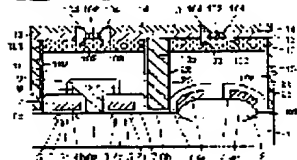
【图68】



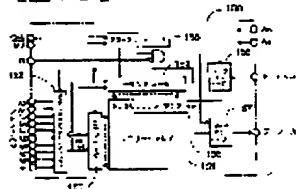
【图69】



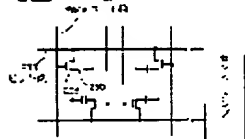
【图70】



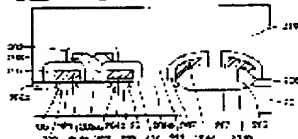
【图71】



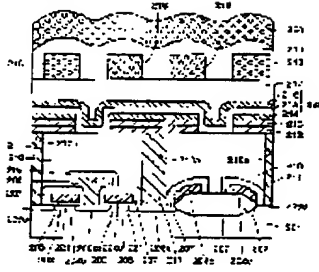
【图72】



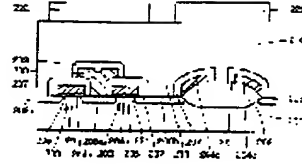
【图74】



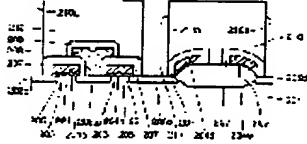
【図73】



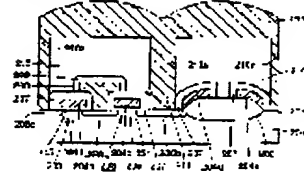
【図75】



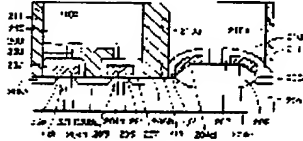
【図76】



【図77】



【図78】



【図79】

